

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 9 月 19 日 (19.09.2002)

PCT

(10) 国際公開番号
WO 02/073956 A1

(51) 国際特許分類⁷: H04N 5/335, H01L 27/146, G01J 1/44

KABUSHIKI KAISHA) [JP/JP]; 〒107-8556 東京都 港区 南青山 2 丁目 1 番 1 号 Tokyo (JP).

(21) 国際出願番号: PCT/JP02/01908

(22) 国際出願日: 2002 年 3 月 1 日 (01.03.2002)

(72) 発明者; および

(25) 国際出願の言語: 日本語

(75) 発明者/出願人 (米国についてのみ): 篠塚 典之 (SHINOTSUKA, Sukeyuki) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 10 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP). 武部 克彦 (TAKEBE, Katsuhiko) [JP/JP]; 〒350-1381 埼玉県 狭山市 新狭山 1 丁目 10 番地 1 ホンダエンジニアリング株式会社内 Saitama (JP).

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-116117 2001 年 3 月 9 日 (09.03.2001) JP
特願2001-116119 2001 年 3 月 9 日 (09.03.2001) JP
特願2001-180837 2001 年 5 月 11 日 (11.05.2001) JP

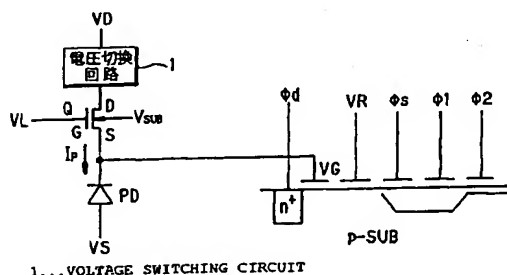
(74) 代理人: 鳥井 清 (TORII, Kiyoshi); 〒231-0007 神奈川県 横浜市 中区 弁天通り 2 丁目 25 番地 Kanagawa (JP).

(71) 出願人 (米国を除く全ての指定国について): 本田技研工業株式会社 (HONDA GIKEN KOGYO

[続葉有]

(54) Title: OPTICAL SENSOR CIRCUIT

(54) 発明の名称: 光センサ回路



(57) Abstract: An optical sensor circuit which converts a sensor current flowing through a photoelectric transducer (PD) according to the intensity of incident light in sensing light into a voltage signal with a logarithmic characteristic in a weakly inverted state by utilizing the characteristic of a sub-threshold region of a MOS transistor (Q), and generates a sensor output corresponding to the converted voltage signal. This optical sensor circuit comprises an initializing means (1) for ridding the residual charge out of parasitic capacity prior to light sensing by the photoelectric transducer (PD). The sensor signal which has a wide dynamic range and generates no after-image even when the intensity of incident light is weak can be obtained thereby.

(57) 要約:

光検知時の入射光量に応じて光電変換素子PDに流れるセンサ電流をMOS型トランジスタQのサブスレッショルド領域の特性を利用した弱反転状態で対数特性をもって電圧信号に変換し、その変換された電圧信号に応じたセンサ出力を生ずるようにした光センサ回路において、光電変換素子PDによる光検知に先がけて、その寄生容量の残留電荷を排出させる初期化手段(1)を設ける。これによって、ダイナミックレンジの広い、入射光量が少ない場合でも残像を生ずることがないセンサ信号を得ることができる。



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

光センサ回路

技術分野

本発明は、イメージセンサの画素に用いられ、入射光量に応じて光電変換素子に流れるセンサ電流を対数特性をもったセンサ信号に変換して出力する光センサ回路に関する。

背景技術

従来、この種の光センサ回路にあっては、第1図に示すように、ダイナミックレンジを広げるべく、入射光 L_s の光量に応じて光電変換素子としてのフォトダイオードPDに流れるセンサ電流 I_p をサブスレッショルド領域を利用した弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタQと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成された光センサ回路が開発されている（1995年発行のテレビジョン学会誌 Vol. 49, No. 2, pp169~173, “対数変換CCDラインセンサ”参照）。

第2図は、第1図に示した光センサ回路の等価回路を示している。

このような光センサ回路では、フォトダイオードPDの寄生容量 C_p の充放電に時間がかかるようになり、そのために入射光量が急激に減少する場合、特に高輝度入射状態から暗状態に急激に変化する場合に、寄生容量 C_p に電荷が残留してしまう。したがって、このような光センサ回路を画素に用いたイメージセンサでは、その残留電荷に起因する残像の発生が問題となる。

また、従来、MOS型トランジスタのサブスレッショルド領域の特性を利用し、そのトランジスタのゲート電圧を固定して、入射光量に応じてフォトダイオードに流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するようにした光センサ回路を画素に用いたイメージセンサがあり、完全な対数出力特性が得られて、ダイナミックレンジが $10^6 \sim 10^7$ と広いものになっている（特開平5-219443号公報、特開平7-46481号公報参照）。

このようなトランジスタのサブスレッショルド領域の特性を利用した対数出力型の光センサ回路を画素に用いたイメージセンサでは、背景が暗いときに明るい

輝点が移動する際に光の尾を引くいわゆる残像を生じやすいという問題がある。

さらに、従来、MOS型のイメージセンサにあっては、その1画素分の光センサ回路が、第35図に示すように、入射光 L_s の光量に応じたセンサ電流を生ずる光電変換素子としてのフォトダイオードPDと、そのフォトダイオードPDに流れるセンサ電流をサブスレッショルド領域の特性を利用して弱反転状態で対数出力特性をもって電圧信号 V_{pd} に変換するトランジスタQ1と、その変換された電圧信号 V_{pd} をハイインピーダンスをもって増幅するトランジスタQ2と、画素読出し信号 V_s のパルスタイミングをもってセンサ信号を出力するトランジスタQ3とによって構成されている。それは、ダイナミックレンジを拡大して光信号の検出を高感度で行わせることができるようになっている。そして、光信号の検出に先がけて、トランジスタQ1のドレイン電圧 V_D を所定時間だけ定常よりも低く設定して、フォトダイオードPDの寄生容量Cの残留電荷を放電させて初期化する。それにより、センサ電流に急激な変化が生じても即座にそのときの入射光 L_s の光量に応じた電圧信号 V_{pd} が得られるようにして、入射光量が少ない場合でも残像が生ずることがないようにしている（特開2000-329616号公報参照）。

このような光センサ回路では、初期化時にそのトランジスタのドレイン電圧を定常値よりも低い値に設定する場合、その電源電圧を低インピーダンスをもって一段階的に切り換える電圧切換回路を必要として、光センサ回路の構成が複雑になっているという問題がある。

発明の開示

本発明は、入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成された光センサ回路において、予め光電変換素子の寄生容量に残留する電荷を排出させる初期設定手段を設けて、入射光量が急激に減少しても即座にそのときの入射光の光量に応じた電圧信号が得られるようにして、イメージセンサに残像を生ずることがないようにしている。

また、本発明は、入射光量に応じて光電変換素子に流れるセンサ電流をラン

ジスタのサブスレッシュホールド領域の特性を利用した弱反転状態で対数特性をもって電圧信号に変換するようにした光センサ回路にあって、センサ電流に急激な変化が生じても即座にそのときの入射光量に応じた電圧信号が得られ、特に入射光量が少ない場合でも残像を生ずることがないようにするべく、光電変換素子による光検知に先がけてその寄生容量の残留電荷を放電させる初期化手段を設けるようにしている。

さらに、本発明は、入射光量に応じて光電変換素子に流れるセンサ電流をトランジスタのサブスレッシュホールド領域の特性を利用した弱反転状態で対数特性をもって電圧信号に変換するようにした光センサ回路にあって、そのトランジスタの電源電圧を段階的に切り換える電圧制御を行うようなことなく簡単に初期化を行わせるようにするべく、光電変換素子の寄生容量の充放電を行わせるスイッチング用のトランジスタを別途設けて、光電変換素子による光検知に先がけてそのスイッチング用のトランジスタをオン状態にして寄生容量に残留する電荷を放電させるようにしている。

図面の簡単な説明

第1図は、従来の光センサ回路を示す電気回路図である。

第2図は、第1図に示す光センサ回路の等価回路図である。

第3図は、本発明による光センサ回路の一実施例を示す電気回路図である。

第4図は、第3図に示す光センサ回路の等価回路図である。

第5図は、第3図に示す光センサ回路における各部信号のタイムチャートである。

第6図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第7図は、第6図に示す光センサ回路の等価回路図である。

第8図は、第6図に示す光センサ回路における各部信号のタイムチャートである。

第9図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第10図は、第9図に示す光センサ回路の等価回路図である。

第11図は、第9図に示す光センサ回路における各部信号のタイムチャートである。

第12図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第13図は、第12図に示す光センサ回路の等価回路図である。

第14図は、第12図に示す光センサ回路における各部信号のタイムチャートである。

第15図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第16図は、第15図に示す光センサ回路における各部信号のタイムチャートである。

第17図は、第15図に示す光センサ回路のセンサ電流に対する画信号の出力特性図である。

第18図は、第15図に示す光センサ回路における初期化を行わせないときの出力特性図である。

第19図は、第15図に示す光センサ回路における対数変換用のトランジスタの入射光量に応じた電荷の流れによる動作の一態様を模擬的に示す図である。

第20図は、第15図に示す光センサ回路における対数変換用のトランジスタの入射光量に応じた電荷の流れによる動作の他の態様を模擬的に示す図である。

第21図は、第15図に示す光センサ回路における対数変換用のトランジスタの初期化時における電荷の流れによる動作状態を模擬的に示す図である。

第22図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第23図は、本発明による光センサ回路のさらに他の実施例を示す電気回路図である。

第24図は、第15図に示す光センサ回路と第23図に示す光センサ回路とにおける各対数変換された電圧信号に対するセンサ信号の出力特性をそれぞれ示す図である。

第25図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第26図は、本発明による光センサ回路のさらに他の実施例を示す電気回路図である。

第27図は、本発明による光センサ回路のさらに他の実施例を示す電気回路図である。

第28図は、本発明による光センサ回路のさらに他の実施例を示す電気回路図

である。

第29図は、第26図に示す光センサ回路と第28図に示す光センサ回路とにおける各対数変換された電圧信号に対するセンサ信号の出力特性をそれぞれ示す図である。

第30図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第31図は、本発明による光センサ回路の他の実施例を示す電気回路図である。

第32図は、第31図に示す光センサ回路における各部信号のタイムチャートである。

第33図は、第31図に示す光センサ回路における対数特性変換用のトランジスタの入射光量に応じた電荷の流れによる動作状態を模擬的に示す図である。

第34図は、第31図に示す光センサ回路における初期化時における電荷の流れによる動作状態を模擬的に示す図である。

第35図は、従来の光センサ回路を示す電気回路図である。

発明を実施するための最良の形態

本発明による光センサ回路にあっては、第3図に示すように、入射光 L_s の光量に応じてフォトダイオードPDに流れるセンサ電流 I_p を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタQと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成されている。そのトランジスタQがゲート固定のn-MOS型のもので、そのトランジスタQのソース側にフォトダイオードPDが接続されている。そして、トランジスタQのドレインD側に電圧切換回路1が設けられており、図示しないコントローラの制御下において、入射光 L_s による電荷の蓄積に先がけて、ドレイン電圧VDを所定時間だけ定常よりも低いローレベルに立ち下げてフォトダイオードPDの寄生容量 C_p に残留する電荷を排出して初期化させるようにしている。

第4図は、第3図に示す光センサ回路の等価回路を示している。

第5図は、その光センサ回路における各部信号のタイムチャートを示している。

ここで、 t_1 は初期化のタイミングを、 t_2 は光信号検出のタイミングを示している。トランジスタQのドレイン電圧VDをハイレベルH（定常値）からローレベルL（定常よりも低い値）に切り換える所定時間 t_m としては、例えば1画

分の読出し速度が 100 nsec 程度の場合に $5\text{ }\mu\text{ sec}$ 程度に設定される。図中、 T はフォトダイオードPDの寄生容量 C_p の電荷蓄積期間を示しており、その蓄積期間 T はNTSC信号の場合 $1/30\text{ sec}$ （または $1/60\text{ sec}$ ）程度となる。

このように構成された光センサ回路にあって、 t_1 時の初期化のタイミングをもってトランジスタQのドレイン電圧VDが t_m 時間のあいだローレベルLに切り換えられると、フォトトランジスタQの寄生容量 C_p の残留電荷が排出され、結果としてトランジスタQのゲート電圧VGが一時ローレベルLになる。そして、初期化終了後から電荷の蓄積が開始され、ゲート電圧VGが光電流 I_p とつり合う電圧にむけて増大していく。

そして、 t_2 時の光信号検出のタイミングをもってCCDにおけるゲートVRと Φ_s とがハイレベルHになると、そのVR電極と Φ_s 電極との下に電荷井戸が形成され、ゲート Φ_d からVGを介してVR電極と Φ_s 電極との下に形成された電荷井戸に光電流 I_p に応じた電荷が注入される。次いで、ゲートVRをローレベルLに立ち下げると、ゲートVRの下に電荷井戸は消滅し、電荷はゲート Φ_s の下に形成された電荷井戸に蓄積される。以降、ゲート Φ_1 、 Φ_2 が順次ハイレベルHになることによって、電荷が転送されていくことになる。

CCDにおける各ゲートの制御は、図示しないコントローラによって行われることになる。

第6図は、本発明による光センサ回路の他の実施例を示している。

ここでは、光センサ回路が入射光 L_s の光量に応じてフォトダイオードPDに流れるセンサ電流 I_p を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタQと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成され、そのトランジスタQがn-MOS型で、フォトダイオードPDのアノード側がそのトランジスタQのドレインDとゲートGとに接続されている。そして、トランジスタQのソースS側に電圧切換回路1が設けられており、図示しないコントローラの制御下において、入射光 L_s による電荷の蓄積に先がけて、ソース電圧VSを所定時間だけ定常よりも高いハイレベルに立ち上げてフォトダイオードPDの寄生容量 C_p に残留する電荷を排出して初期化させるよう

にしている。

第7図は、図6に示す光センサ回路の等価回路を示している。

第8図は、その光センサ回路における各部信号のタイムチャートを示している。ここで、 t_1 は初期化のタイミングを、 t_2 は光信号検出のタイミングを示している。トランジスタQのソース電圧 V_S をローレベルL（定常値）からハイレベルH（定常よりも高い値）に切り換える所定時間 t_m としては、例えば1画素分の読出し速度が 100 nsec 程度の場合に $5\text{ }\mu\text{sec}$ 程度に設定される。

このように構成された光センサ回路にあって、 t_1 時の初期化のタイミングをもってトランジスタQのソース電圧 V_S が t_m 時間のあいだハイレベルHに切り換えられると、フォトトランジスタQの寄生容量 C_p の残留電荷が排出され、結果としてトランジスタQのゲート電圧 V_G が一時ハイレベルHになる。そして、初期化終了後から電荷の蓄積が開始され、ゲート電圧 V_G が光電流 I_p とつり合う電圧にむけて減少していく。

そして、 t_2 時の光信号検出のタイミングをもってCCDにおけるゲートVRと Φ_s とがハイレベルHになると、そのVR電極と Φ_s 電極との下に電荷井戸が形成され、ゲート Φ_d から V_G を介してVR電極と Φ_s 電極との下に形成された電荷井戸に光電流 I_p に応じた電荷が注入される。次いで、ゲートVRをローレベルLに立ち下げると、ゲートVRの下の電荷井戸は消滅し、電荷はゲート Φ_s の下に形成された電荷井戸に蓄積される。以降、ゲート Φ_1 、 Φ_2 が順次ハイレベルHになることによって、電荷が転送されていくことになる。

第9図は、本発明による光センサ回路のさらに他の実施例を示している。

ここでは、光センサ回路が入射光 L_s の光量に応じてフォトダイオードPDに流れるセンサ電流 I_p を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタQと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成され、そのトランジスタQがゲート固定のp-MOS型で、そのトランジスタQのドレインD側にフォトダイオードPDが接続されている。そして、トランジスタQのソースS側に電圧切換回路1が設けられており、図示しないコントローラの制御下において、入射光 L_s による電荷の蓄積に先がけて、ソース電圧 V_S を所定時間だけ定常よりも高いハイレベルに立ち上げてフォトダイ

オードPDの寄生容量 C_p に残留する電荷を排出して初期化させるようにしている。

第10図は、第9図に示す光センサ回路の等価回路を示している。

第11図は、その光センサ回路における各部信号のタイムチャートを示している。ここで、 t_1 は初期化のタイミングを、 t_2 は光信号検出のタイミングを示している。トランジスタQのソース電圧 V_S をローレベルL（定常値）からハイレベルH（定常よりも高い値）に切り換える所定時間 t_m としては、例えば1画素分の読出し速度が100ns程度の場合に5 μ s程度に設定される。

このように構成された光センサ回路にあって、 t_1 時の初期化のタイミングをもってトランジスタQのソース電圧 V_S が t_m 時間のあいだハイレベルHに切り換えられると、フォトトランジスタQの寄生容量 C_p の残留電荷が排出され、結果としてトランジスタQのゲート電圧 V_G が一時ハイレベルHになる。そして、初期化終了後から電荷の蓄積が開始され、ゲート電圧 V_G が光電流 I_p とつり合う電圧にむけて減少していく。

そして、 t_2 時の光信号検出のタイミングをもってCCDにおけるゲートVRと Φ_s とがハイレベルHになると、そのVR電極と Φ_s 電極との下に電荷井戸が形成され、ゲート Φ_d から V_G を介してVR電極と Φ_s 電極との下に形成された電荷井戸に光電流 I_p に応じた電荷が注入される。次いで、ゲートVRをローレベルLに立ち下げると、ゲートVRの下に電荷井戸は消滅し、電荷はゲート Φ_s の下に形成された電荷井戸に蓄積される。以降、ゲート Φ_1 、 Φ_2 が順次ハイレベルHになることによって、電荷が転送されていくことになる。

第12図は、本発明による光センサ回路のさらに他の実施例を示している。

ここでは、光センサ回路が入射光 L_s の光量に応じてフォトダイオードPDに流れるセンサ電流 I_p を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタQと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成され、そのトランジスタQがp-MOS型で、フォトダイオードPDのアノード側がそのトランジスタQのソースSとゲートGとに接続されている。そして、トランジスタQのドレインD側に電圧切換回路1が設けられており、図示しないコントローラの制御下において、入射光 L_s による電荷の蓄積に先が

けて、ドレイン電圧 V_D を所定時間だけ定常よりも低いローレベルに立ち下げてフォトダイオードPDの寄生容量 C_p に残留する電荷を排出して初期化させるようにしている。

第13図は、第12図に示す光センサ回路の等価回路を示している。

第14図は、その光センサ回路における各部信号のタイムチャートを示している。ここで、 t_1 は初期化のタイミングを、 t_2 は光信号検出のタイミングを示している。トランジスタQのドレイン電圧 V_D をハイレベルH（定常値）からローレベルL（定常よりも低い値）に切り換える所定時間 t_m としては、例えば1画素分の読出し速度が100ns程度の場合に5 μ s程度に設定される。

このように構成された光センサ回路にあって、 t_1 時の初期化のタイミングをもってトランジスタQのドレイン電圧 V_D が t_m 時間のあいだローレベルLに切り換えられると、フォトトランジスタQの寄生容量 C_p の残留電荷が排出され、結果としてトランジスタQのゲート電圧 V_G が一時ローレベルLになる。そして、初期化終了後から電荷の蓄積が開始され、ゲート電圧 V_G が光電流 I_p とつり合う電圧にむけて増大していく。

そして、 t_2 時の光信号検出のタイミングをもってCCDにおけるゲートVRと Φ_s とがハイレベルHになると、そのVR電極と Φ_s 電極との下に電荷井戸が形成され、ゲート Φ_d から V_G を介してVR電極と Φ_s 電極との下に形成された電荷井戸に光電流 I_p に応じた電荷が注入される。次いで、ゲートVRをローレベルLに立ち下げると、ゲートVRの下の電荷井戸は消滅し、電荷はゲート Φ_s の下に形成された電荷井戸に蓄積される。以降、ゲート Φ_1 、 Φ_2 が順次ハイレベルHになることによって、電荷が転送されていくことになる。

また、本発明による光センサ回路にあっては、第15図に示すように、入射光 L_s の光量に応じたセンサ電流を生ずる光電変換素子としてのフォトダイオードPDと、そのフォトダイオードPDに流れるセンサ電流を弱反転状態で対数特性をもって電圧信号 V_{pd} に変換するトランジスタQ1と、その変換された電圧信号 V_{pd} をハイインピーダンスをもって増幅するトランジスタQ2と、画信号読出し信号 V_s のパルスタイミングをもって画信号を出力するトランジスタQ3とによって構成されている。ここでは、n-MOS型のトランジスタQ1～Q3を

用いるようにしている。図中、CはフォトダイオードPDの接合容量、配線容量などからなる寄生容量である。

そして、このように構成された光センサ回路にあって、特に本発明では、フォトダイオードPDによる光検知に先がけて、トランジスタQ1のドレイン電圧VDを所定時間だけ定常よりも低い値に切り換えて、寄生容量Cに蓄積された残留電荷を排出させて初期化する電圧切換回路1を設けるようにしている。

第16図は、その光センサ回路における各部信号のタイムチャートを示している。ここで、 t_1 は初期化のタイミングを、 t_2 は光検知のタイミングを示している。トランジスタQ1のドレイン電圧VDを定常値（ハイレベルH）から低い電圧（ローレベルL）に切り換える所定時間 t_m としては、例えば1画素分の読出し速度が100ns程度の場合に5 μ s程度に設定される。図中、TはフォトダイオードPDの寄生容量Cの蓄積期間を示しており、その蓄積期間TはNTSC信号の場合1/30sec（または1/60sec）程度となる。

このような光センサ回路にあっては、第17図に示すように、入射光量に応じてフォトダイオードPDに流れるセンサ電流が多いときには対数出力特性を示すが、センサ電流が少ないときにはフォトダイオードPDの寄生容量Cの充電に回答遅れを生じてほぼ線形の非対数出力特性を示すようになっている。図中、WAは非対数応答領域を示し、WBは対数応答領域を示している。

トランジスタQ1の対数動作としては、以下のとおりである。

いま、トランジスタQ1のゲート電圧VGを一定に固定して、トランジスタQ1を弱反転状態で動作させると、入射光 L_s によって生じた電荷がトランジスタQ1のサブスレッショルド領域でドレインDに排出されるため、第18図に示すように、完全な対数出力特性を示すようになる。

第19図および第20図は、そのときのトランジスタQ1の入射光 L_s の光量に応じて生じた電荷 q の流れによる動作状態をそれぞれ模擬的に示している。

このようなものでは、入射光量が少ない場合、トランジスタQ1の抵抗値は対数的に上昇するために寄生容量Cの放電速度が遅くなり、残留電荷による容量性の残像が生じてしまう。その場合、暗い背景に動く輝点があると尾を引く現象が顕著となる。

第18図の特性にあって、Aは明から暗になったときに残像が生じやすい領域を示している。

そこで、光検知に先がけて、周期的にトランジスタQ1のドレイン電圧VDを定常よりも低い値に切り換えてフォトダイオードPDの寄生容量Cに電荷を注入させるようにすると、残留電荷の上に大量の新たな電荷が注入されることになる。

第21図は、そのときのトランジスタQ1における電荷qの流れによる動作状態を模擬的に示している。

そして、寄生容量Cに蓄積された残留電荷を放電させて初期化を行わせた後、ドレイン電圧VDをもとの定常値に戻すと、その時点から直ちに入射光 L_s の光量に応じた電荷の蓄積が行われて、残像の発生が抑制されることになる。

そのとき、第17図に示す特性にあって、入射光量の少ないWAの領域では対数特性が失われるが、残像が生ずることがなくなる。

第22図は、本発明による光センサ回路の他の実施例を示している。

ここでは、n-MOS型のトランジスタQ1～Q3を用いるようにしたものにあって、特にトランジスタQ1にディプレッション型のものを使用するようにしている。

この場合には、トランジスタQ1のゲート電圧VGを零（アース電位）にしても同じ効果が得られる。また、ゲート電圧VGの電源を設けなくともよくなる。

第23図は、本発明による光センサ回路のさらに他の実施例を示している。

ここでは、n-MOS型のトランジスタQ1～Q3を用いたうえで、増幅用のトランジスタQ2のソースS側に出力用のトランジスタQ3を設けて、トランジスタQ3のオン時にトランジスタQ2のドレインD側からセンサ信号を出力させるようにしている。

この場合、第15図の構成によるものに比して、トランジスタQ2を駆動する際に動作点の電位が高くなるが、ゲート電圧VGおよびドレイン電圧VDの電圧を上げることで対応できるようになる。

しかして、この場合にはフォトダイオードPDの充電電圧が上がり、そのために寄生容量Cが小さくなって応答性が良くなる。

第24図は、第15図の構成による光センサ回路における電圧信号 V_{pd} （ト

ランジスタQ2のゲート電圧)に対するセンサ信号の出力特性aと、第23図の構成による光センサ回路における電圧信号 V_{pd} (トランジスタQ2のゲート電圧)に対するセンサ信号の出力特性bとをそれぞれ示している。

第25図は本発明による光センサ回路のさらに他の実施例を示しており、ここでは第23図に示す構成によるものにおいて、特にトランジスタQ1にデプレッション型のものを使用するようにしている。

この場合には、トランジスタQ1のゲート電圧 V_G を零(アース電位)にしても同じ効果が得られる。また、ゲート電圧 V_G の電源を設けなくともよくなる。

第26図は本発明による光センサ回路のさらに他の実施例を示しており、ここではトランジスタQ1~Q3にp-MOS型のものを使用するようにしている。

第27図は本発明による光センサ回路のさらに他の実施例を示しており、ここでは第26図に示す構成によるものにおいて、特にトランジスタQ1にデプレッション型のものを使用するようにしている。

この場合には、トランジスタQ1のゲート電圧 V_G を零(アース電位)にしても同じ効果が得られる。また、ゲート電圧 V_G の電源を設けなくともよくなる。

第28図は、本発明による光センサ回路のさらに他の実施例を示している。

ここでは、p-MOS型のトランジスタQ1~Q3を用いたうえで、増幅用のトランジスタQ2のソースS側に出力用のトランジスタQ3を設けて、トランジスタQ3のオン時にトランジスタQ2のドレインD側からセンサ信号を出力させるようにしている。

この場合、第26図の構成によるものに比して、トランジスタQ2を駆動する際に動作点の電位が高くなるが、ゲート電圧 V_G およびドレイン電圧 V_D の電圧を上げることで対応できるようになる。

しかして、この場合にはフォトダイオードPDの充電電圧が上がり、そのために寄生容量Cが小さくなって応答性が良くなる。

第29図は、第26図の構成による光センサ回路における電圧信号 V_{pd} (トランジスタQ2のゲート電圧)に対するセンサ信号の出力特性a'と、第28図の構成による光センサ回路における電圧信号 V_{pd} (トランジスタQ2のゲート電圧)に対するセンサ信号の出力特性b'とをそれぞれ示している。

第30図は本発明による光センサ回路のさらに他の実施例を示しており、ここでは第28図に示す構成によるものにおいて、特にトランジスタQ1にデプレッション型のものを使用するようにしている。

この場合には、トランジスタQ1のゲート電圧VGを零（アース電位）にしても同じ効果が得られる。また、ゲート電圧VGの電源を設けなくともよくなる。

なお、電圧切換回路1におけるトランジスタQ1のドレイン電圧VDの切り換えは、この光センサ回路を画素に用いたイメージセンサの全体の制御を行うECUの制御下において行われることになる。

また、本発明は、光センサ回路を第31図に示すように構成するようにしている。

その基本的な構成としては、入射光Lsの光量に応じたセンサ電流を生ずる光電変換素子としてのフォトダイオードPDと、そのフォトダイオードPDに流れるセンサ電流を弱反転状態で対数特性をもって電圧信号Vpdに変換するトランジスタQ1と、その変換された電圧信号Vpdをハイインピーダンスをもって増幅するトランジスタQ2と、読出し信号Vsのパルスタイミングをもってセンサ信号を出力するトランジスタQ3とによって構成されている。

そして、このような光センサ回路において、本発明では、特に、フォトダイオードPDの寄生容量Cの充放電を行わせるスイッチング用のトランジスタQ4を設けて、フォトダイオードPDによる光検知に先がけて、トランジスタQ4をオン状態にして寄生容量Cに残留する電荷を排出させることによって初期化を行わせるようにしている。

第32図は、その光センサ回路における各部信号のタイムチャートを示している。ここで、t1は初期化のタイミングを、t2は光検知のタイミングを示している。初期化時に、トランジスタQ4のスイッチング電圧Vswをオン電圧にすることによりトランジスタQ4をオン状態にして寄生容量Cに残留する電荷を排出させる期間tmとしては、例えば1画素分の読出し速度が100ns程度の場合に5μsec程度に設定される。図中、TはフォトダイオードPDの寄生容量Cにおける電荷の蓄積期間を示しており、その蓄積期間TはNTSC信号の場合1/30sec（または1/60sec）程度となる。

このような光センサ回路にあっても、第17図に示すように、入射光量に応じてフォトダイオードPDに流れるセンサ電流が多いときには対数出力特性を示すが、センサ電流が少ないときにはフォトダイオードPDの寄生容量Cの充電に 응답遅れを生じてほぼ線形の非対数出力特性を示すようになっている。

第33図は、電荷の蓄積期間TにおけるトランジスタQ1の電荷qの流れによる動作状態を模擬的に示している。このとき、トランジスタQ4のスイッチング電圧 V_{sw} はオフ電圧となって、トランジスタQ4はオフ状態になっている。

その際、トランジスタQ4のオフ電圧 $V_{sw}(off)$ としては、第1のトランジスタのゲート電圧を $V_G(Q1)$ 、その第1のトランジスタのスレッシュホールド電圧を $V_{th}(Q1)$ 、第4のトランジスタのスレッシュホールド電圧を $V_{th}(Q4)$ としたとき、 $V_{sw}(off) \leq V_G(Q1) - V_{th}(Q1) - V_{th}(Q4)$ によって与えられることになる。

いま、光検知に先がけて、トランジスタQ4をオン状態にしてフォトダイオードPDの寄生容量Cに電荷を注入させるようにすると、残留電荷の上に大量の新たな電荷が注入されることになる。

第34図は、そのときのトランジスタQ1における電荷qの流れによる動作状態を模擬的に示している。

そして、寄生容量Cに残留する電荷を排出させて初期化を行わせた後、トランジスタQ4をオフ状態に戻すと、その時点から直ちに入射光 L_s の光量に応じた電荷の蓄積が行われて、残像の発生が抑制されることになる。

その際、第17図に示す特性にあって、入射光量の少ないWAの領域では対数特性が失われるが、残像が生ずることがなくなる。

このように、本発明によれば、フォトダイオードPDによる光検知に先がけてトランジスタQ4をオン状態にすることにより寄生容量Cに残留する電荷を排出させて初期化を行わせた後、トランジスタQ4をオフ状態に切り換えて光検知を行わせるように、トランジスタQ4のオン、オフのスイッチング制御を行わせるだけで、残像の発生が抑制された光検知を行わせることができるようになる。

したがって、従来のように、電源電圧を低インピーダンスをもって段階的に切り換える電圧切換回路を設けて、初期化時にトランジスタQ1のドレイン電圧V

Dを光検知時の定常値よりも低い値に切り換えるようにする場合に比して、簡単な構成によって初期化を容易に行わせることができるようになる。

なお、トランジスタQ4のオン、オフの切り換えは、この光センサ回路を画素に用いたイメージセンサの全体の制御を行うECUの制御下において行われることになる。

産業上の利用の可能性

本発明は、入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成された光センサ回路において、予め光電変換素子の寄生容量に残留する電荷を排出させる初期設定手段を設けるようにしたもので、入射光量が急激に減少しても即座にそのときの入射光の光量に応じた電圧信号が得られるようになる。そして、この光センサ回路を画素単位としてイメージセンサを構成すれば、ダイナミックレンジが広く、入射光量が少ない場合でも残像を生ずることがない品質の良い画像を得ることができるようになる。

また、本発明は、入射光量に応じたセンサ電流を生ずる光電変換素子と、その光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換する第1のトランジスタと、その変換された電圧信号をハイインピーダンスをもって増幅する第2のトランジスタと、その増幅された電圧信号を選択的に出力させる第3のトランジスタと、光電変換素子による光検知に先がけてその寄生容量の残留電荷を放電させる初期化手段とによって光センサ回路を構成するようにしている。この光センサ回路を画素単位としてイメージセンサを構成すれば、ダイナミックレンジが広く、入射光量が少ない場合でも残像が生ずることがない品質の良い画像を得ることができるようになる。

さらに、本発明は、光検知時の入射光量に応じて光電変換素子に流れるセンサ電流をトランジスタのサブスレッショルド領域の特性を利用した弱反転状態で対数特性をもって電圧信号に変換して、その変換された電圧信号に応じたセンサ出力を生ずるようにした光センサ回路にあって、光電変換素子の寄生容量の充放電を行わせるスイッチング用のトランジスタを設けて、光電変換素子による光検知

に先がけてそのスイッチング用トランジスタのオン、オフの切換えをなすだけの簡単な手段によって初期化を抑わせることができるようにしている。この光センサ回路を画素単位としてイメージセンサをすれば、ダイナミックレンジが広く、入射光量が少ない場合でも残像が生ずることがない品質の良い画像を得ることができるようになる。

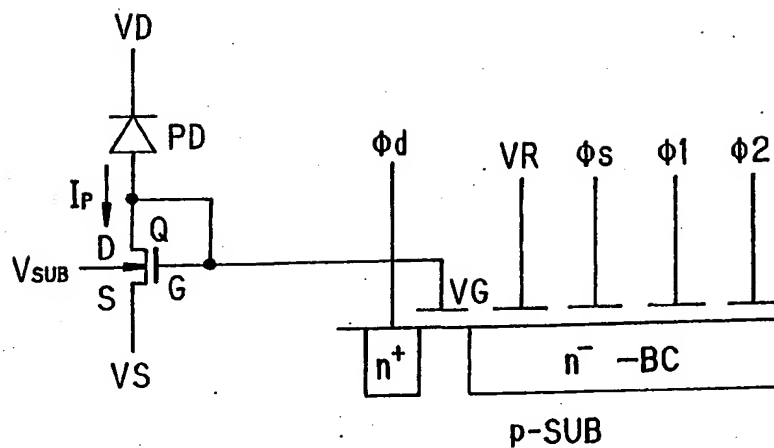
請 求 の 範 囲

1. 入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するMOS型トランジスタと、その電圧信号に応じて電荷を転送して出力させるCCDとによって構成された光センサ回路において、予め光電変換素子の寄生容量に残留する電荷を排出させる初期設定手段を設けたことを特徴とする光センサ回路。
2. 入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するトランジスタがゲート固定のn-MOS型で、そのトランジスタのソース側に光電変換素子としてのフォトダイオードが接続されており、そのトランジスタのドレイン電圧を所定時間だけ定常よりも低い値に切り換えて光電変換素子の寄生容量に残留する電荷を排出させるようにしたことを特徴とする第1項の記載による光センサ回路。
3. 入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するトランジスタがn-MOS型で、光電変換素子としてのフォトダイオードのアノード側がそのトランジスタのドレインとゲートとに接続されており、そのトランジスタのソース電圧を所定時間だけ定常よりも高い値に切り換えて光電変換素子の寄生容量に残留する電荷を排出させるようにしたことを特徴とする第1項の記載による光センサ回路。
4. 入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するトランジスタがゲート固定のp-MOS型で、そのトランジスタのドレイン側に光電変換素子としてのフォトダイオードが接続されており、そのトランジスタのソース電圧を所定時間だけ定常よりも高い値に切り換えて光電変換素子の寄生容量に残留する電荷を排出させるようにしたことを特徴とする第1項の記載による光センサ回路。
5. 入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するトランジスタがp-MOS型で、光電変換素子としてのフォトダイオードのアノード側がそのトランジスタのソースとゲートとに接続されており、そのトランジスタのドレイン電圧を所定時間だけ定常より

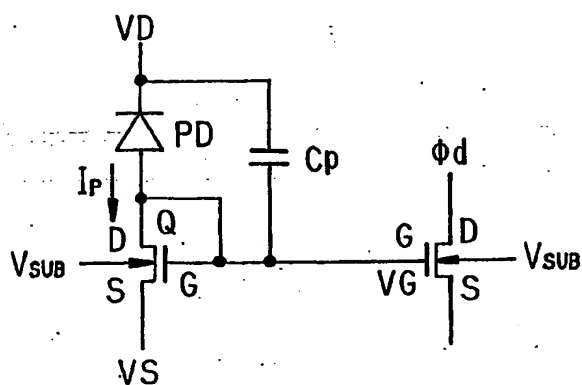
も低い値に切り換えて光電変換素子の寄生容量に残留する電荷を排出させるようにしたことを特徴とする第1項の記載による光センサ回路。

6. 入射光量に応じたセンサ電流を生ずる光電変換素子と、その光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換する第1のトランジスタと、その変換された電圧信号をハイインピーダンスをもって増幅する第2のトランジスタと、その増幅された電圧信号を選択的に出力させる第3のトランジスタと、光電変換素子による光検知に先がけてその寄生容量の残留電荷を排出させる初期化手段とによって構成された光センサ回路。
7. 光電変換素子がフォトダイオードからなることを特徴とする第6項の記載による光センサ回路。
8. 第1のトランジスタ、第2のトランジスタおよび第3のトランジスタがMOS型トランジスタであることを特徴とする第6項の記載による光センサ回路。
9. 初期化手段が、第1のトランジスタのドレイン電圧を制御する電圧制御手段であることを特徴とする第6項の記載による光センサ回路。
10. 光検知時の入射光量に応じて光電変換素子に流れるセンサ電流をトランジスタのサブスレッショルド領域の特性を利用した弱反転状態で対数特性をもって電圧信号に変換して、その変換された電圧信号に応じたセンサ出力を生ずるようにした光センサ回路において、光電変換素子の寄生容量の充放電を行わせるスイッチング用のトランジスタを設けて、光電変換素子による光検知に先がけてそのスイッチング用のトランジスタをオン状態にして寄生容量に残留する電荷を排出させるようにしたことを特徴とする光センサ回路。
11. スwitchング用のトランジスタのオフ電圧 $V_{sw(off)}$ が、対数特性変換用のトランジスタのゲート電圧を $V_G(Q1)$ 、その対数特性変換用のトランジスタのスレッショルド電圧を $V_{th}(Q1)$ 、スイッチング用のトランジスタのスレッショルド電圧を $V_{th}(Q4)$ としたとき、 $V_{sw(off)} \leq V_G(Q1) - V_{th}(Q1) - V_{th}(Q4)$ によって与えられることを特徴とする第10項の記載による光センサ回路。

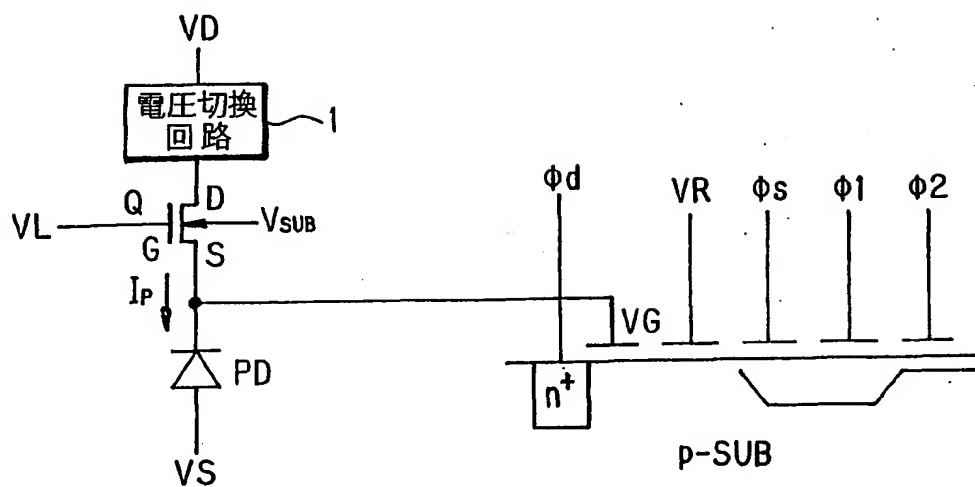
第 1 図



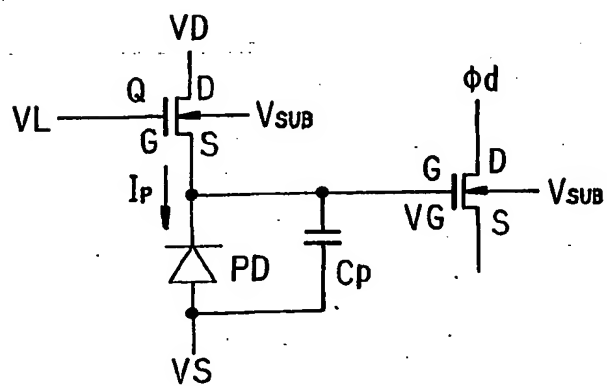
第 2 図



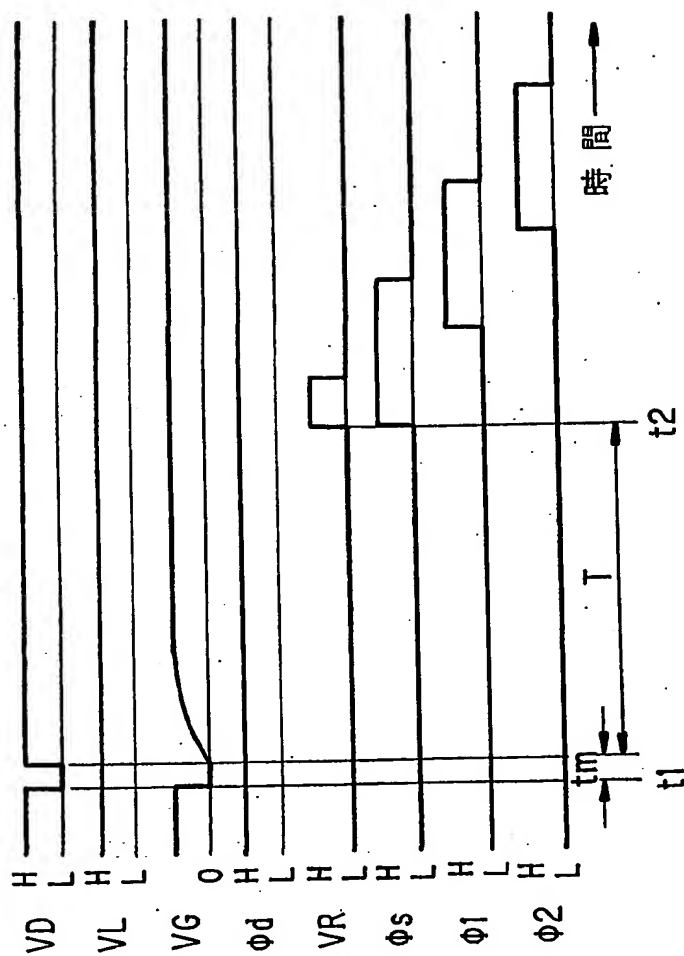
第 3 图



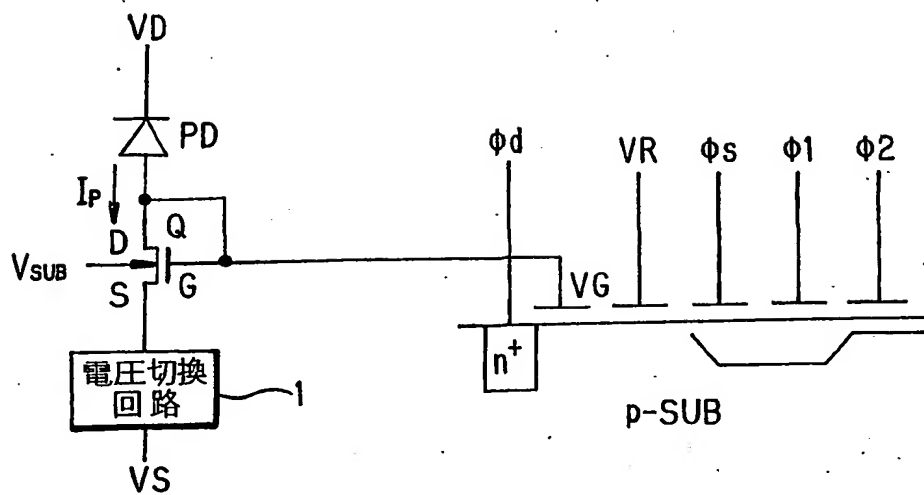
第 4 图



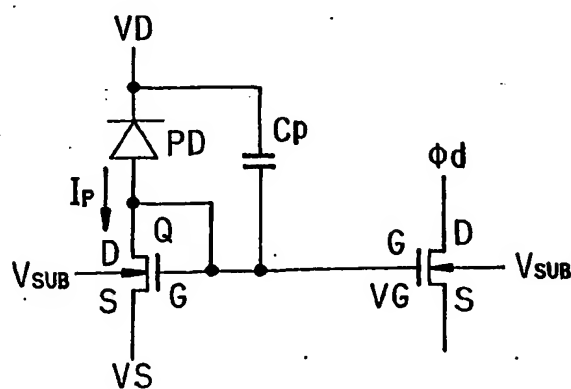
第 5 図



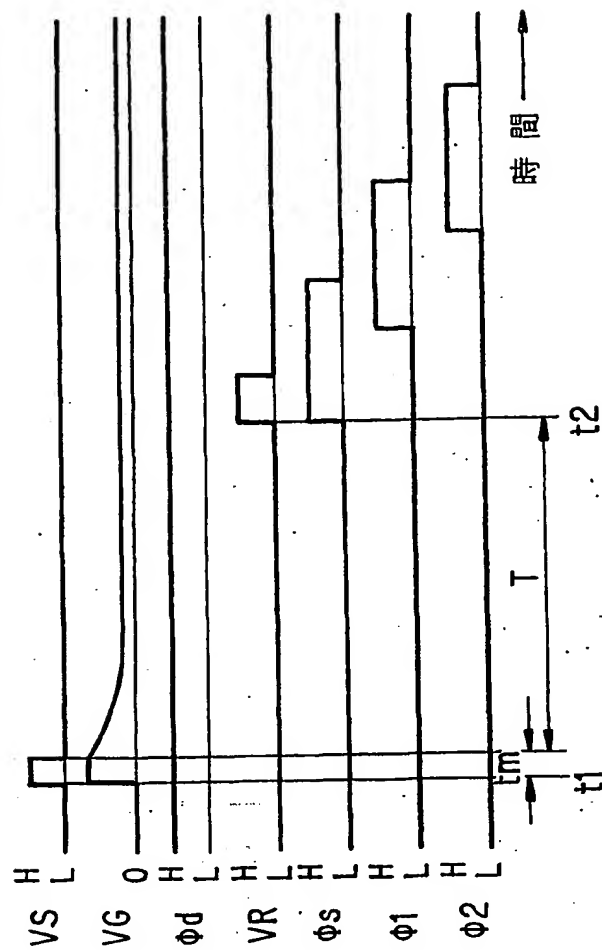
第 6 圖



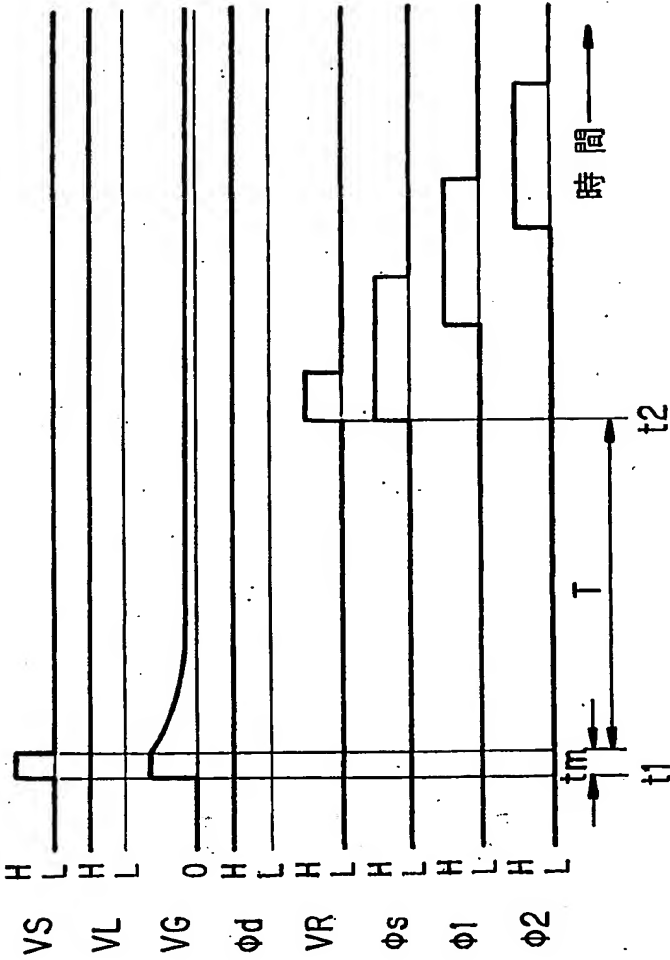
第 7 圖



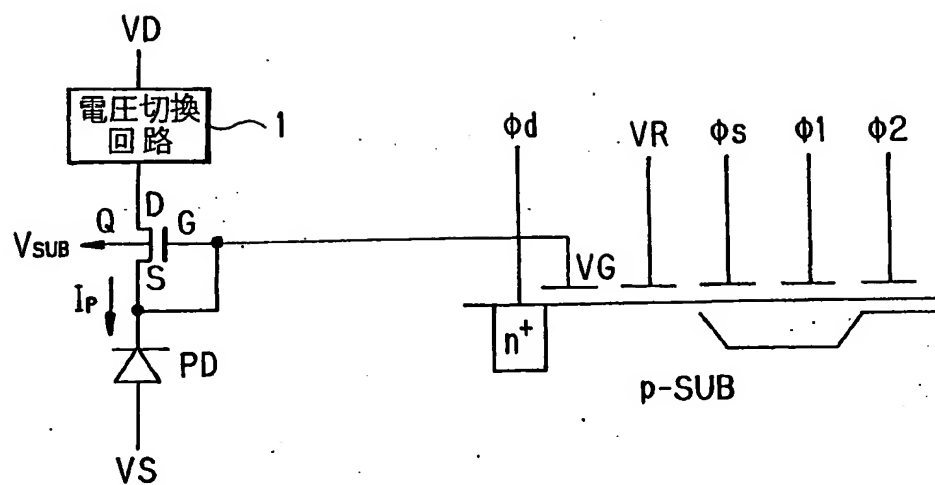
第 8 図



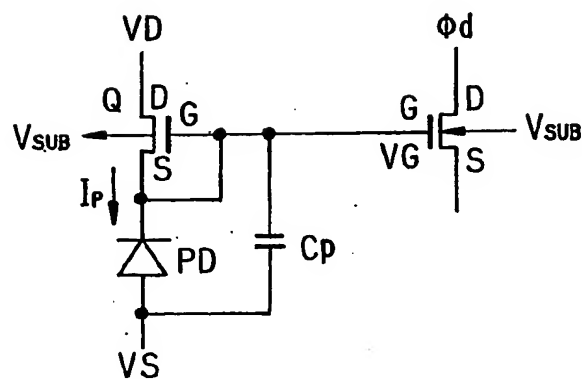
第 1 1 図



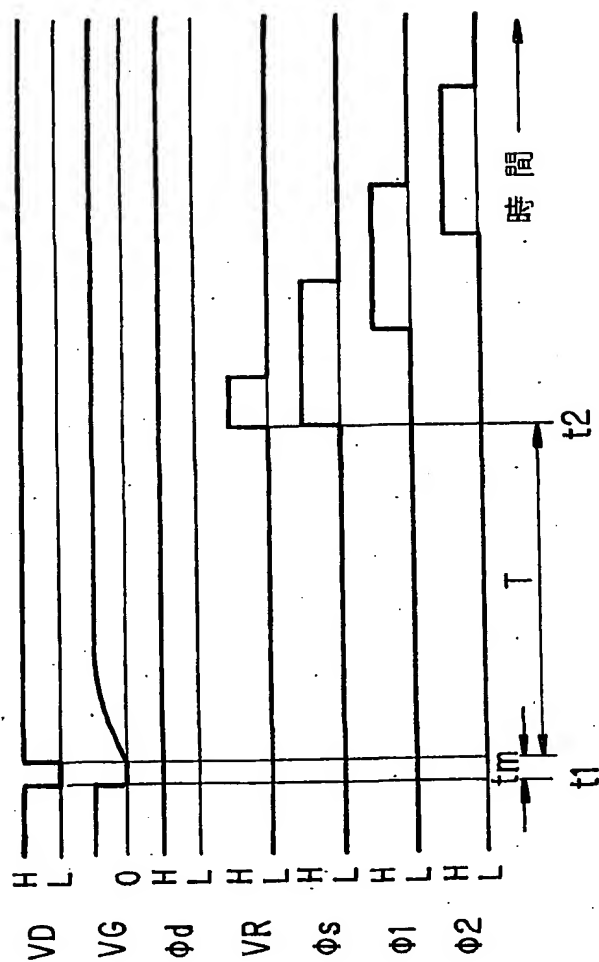
第 1 2 図



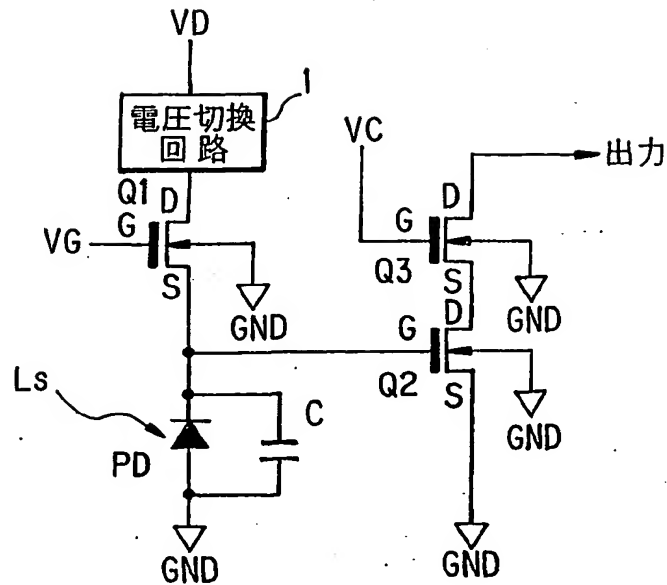
第 1 3 図



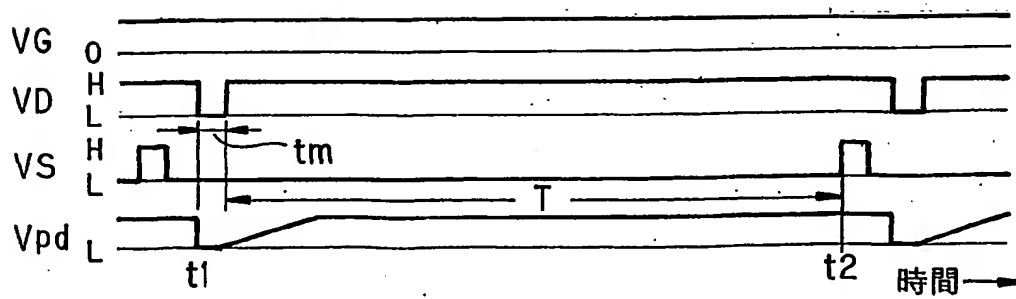
第 1 4 図



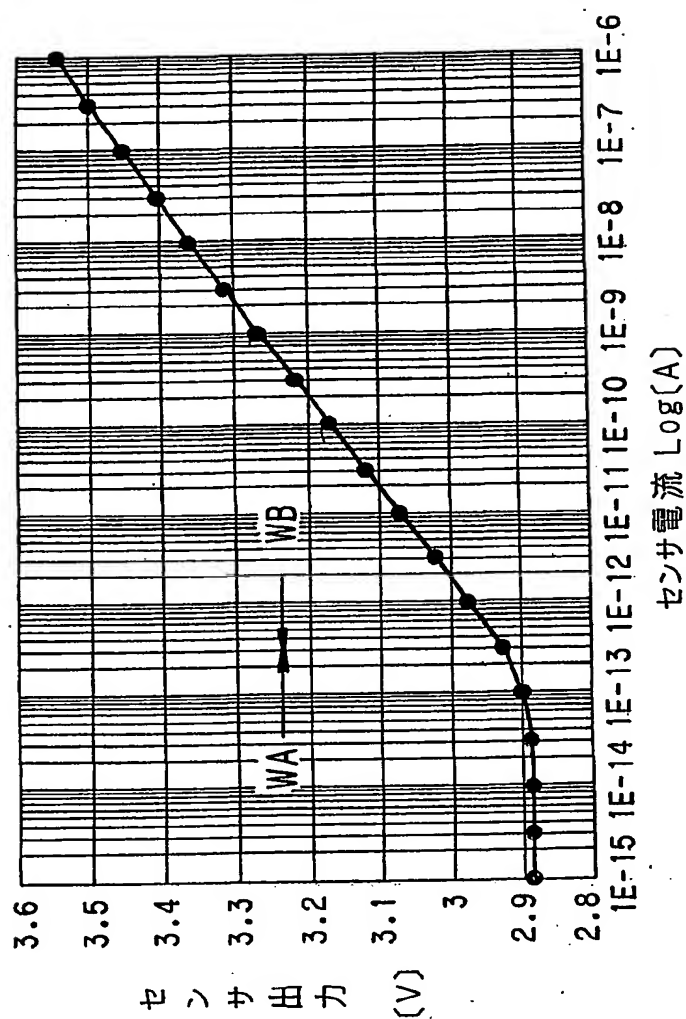
第 1 5 図



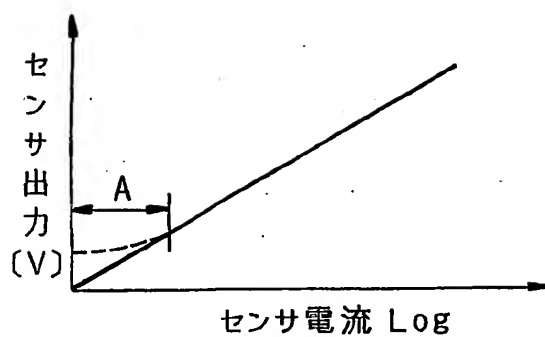
第 1 6 図



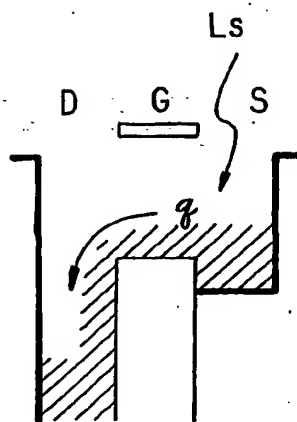
第 1 7 図



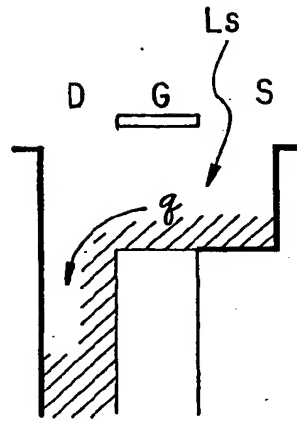
第 1 8 図



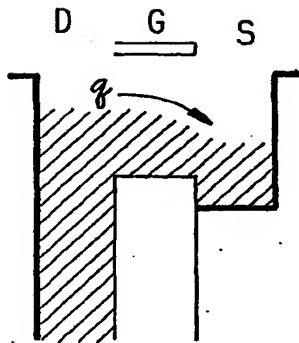
第 1 9 図



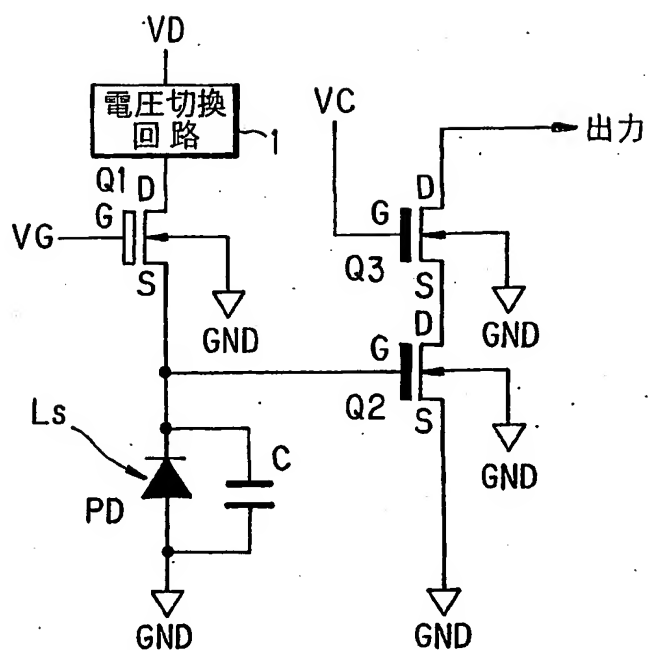
第 2 0 図



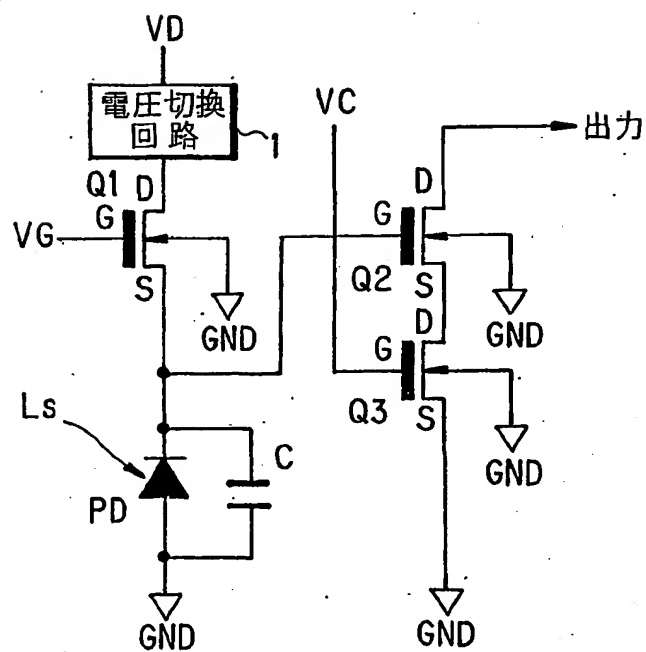
第 2 1 図



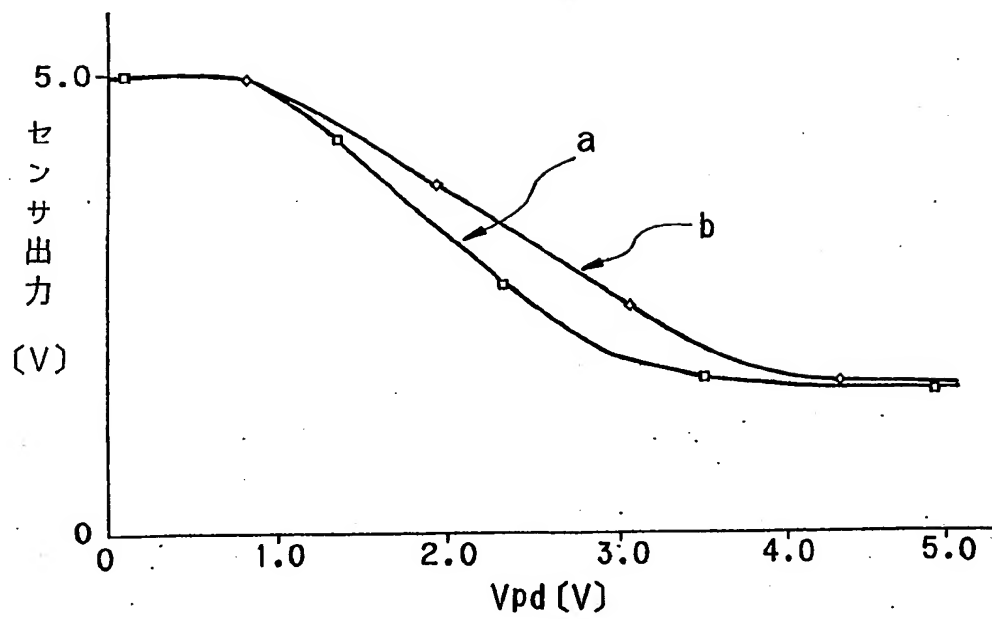
第 2 2 図



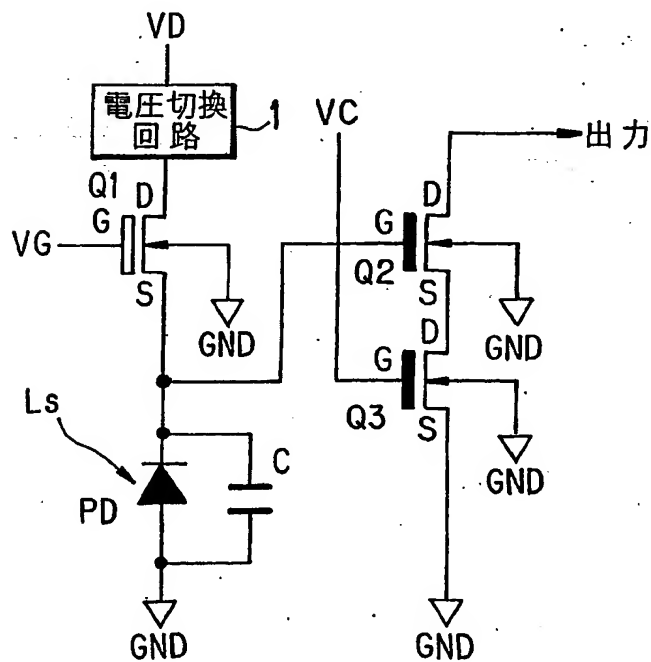
第 2 3 図



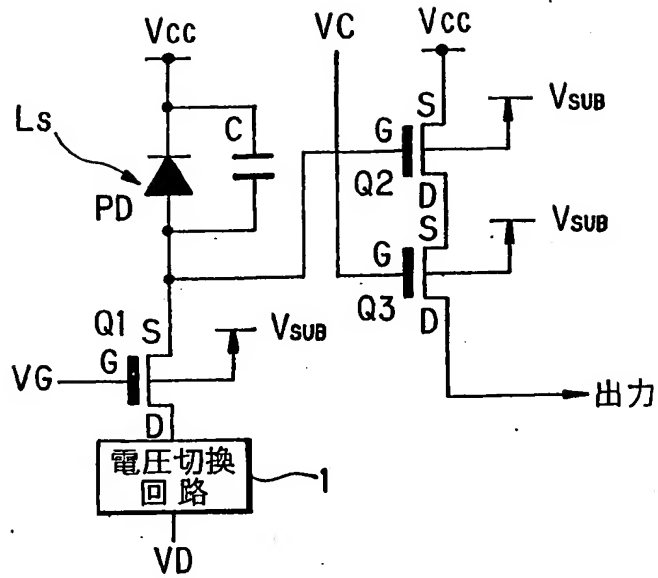
第 2 4 図



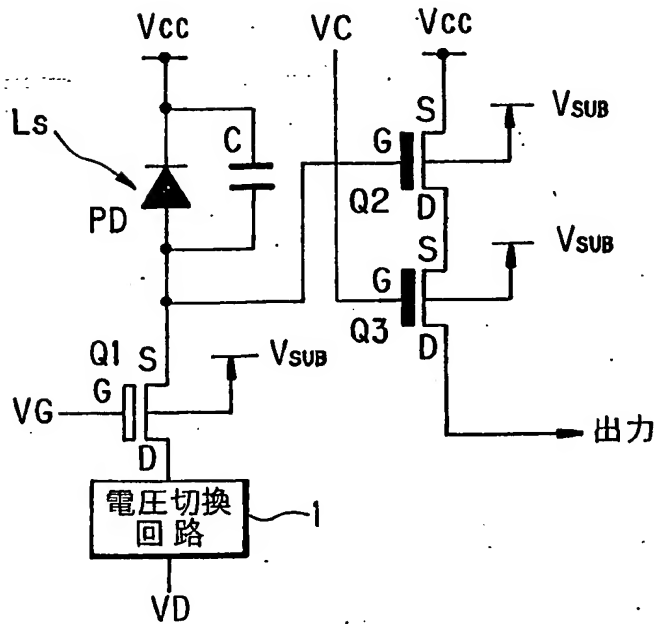
第 2 5 図



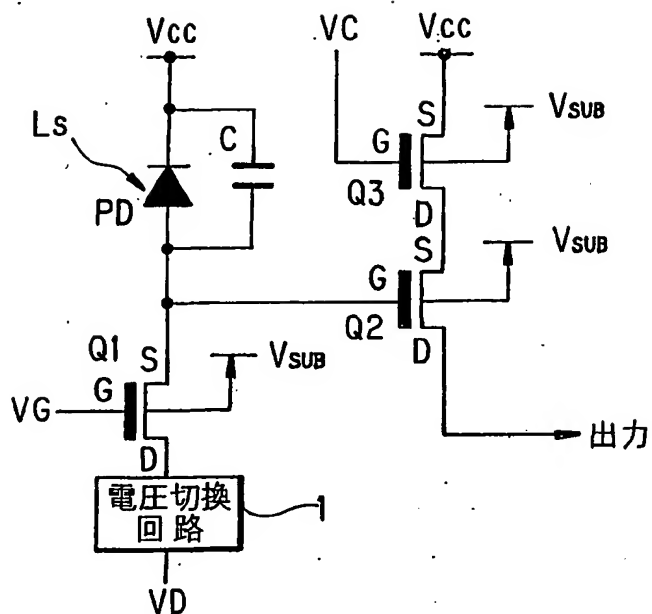
第 2 6 图



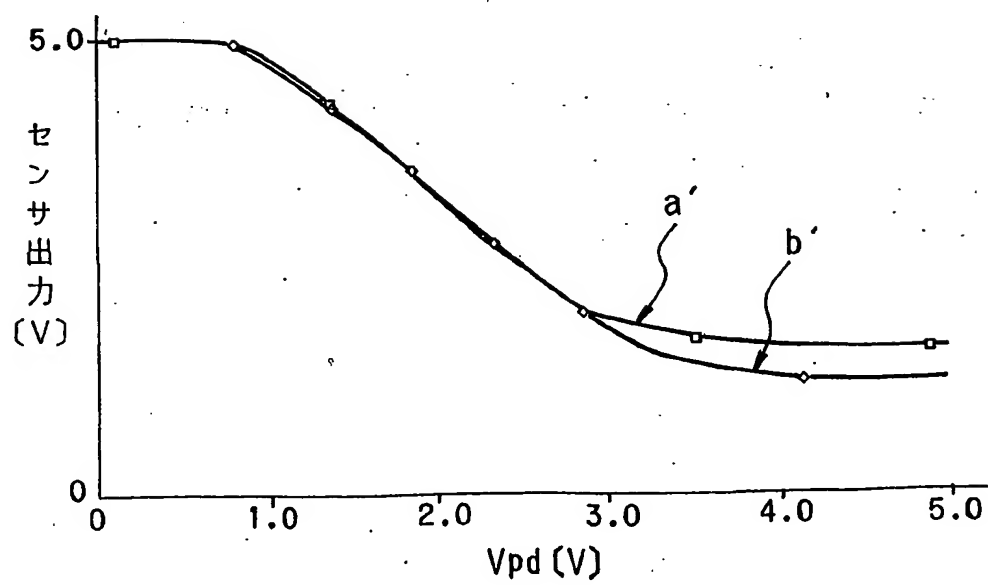
第 2 7 图



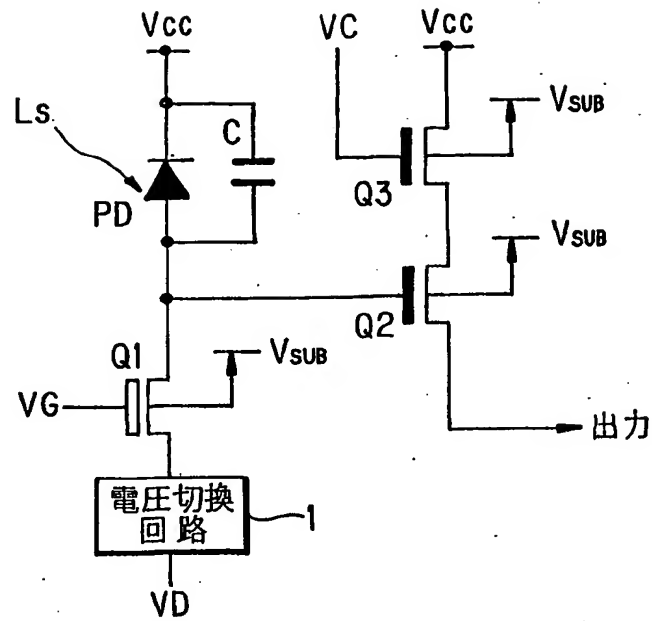
第 28 図



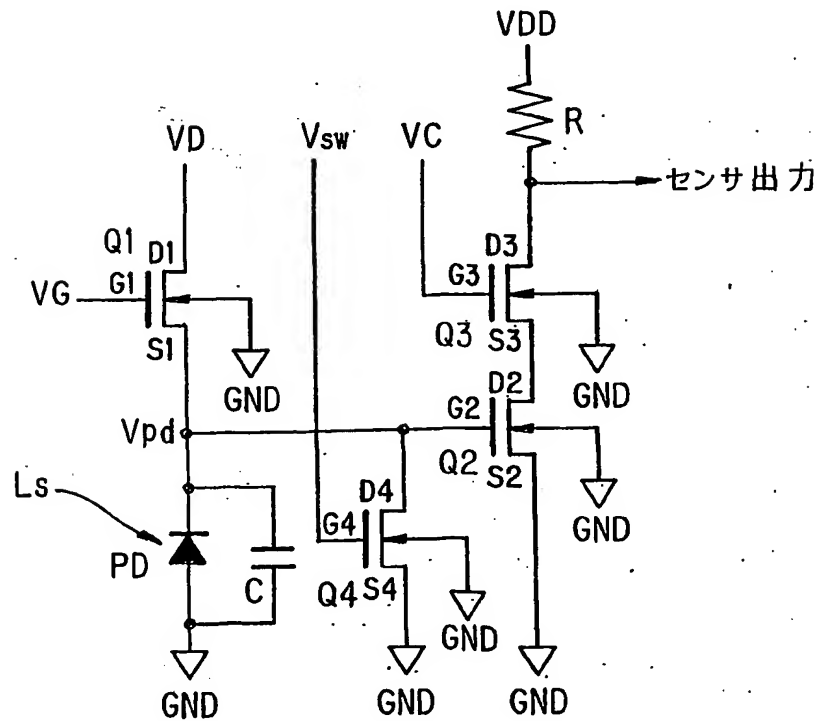
第 29 図



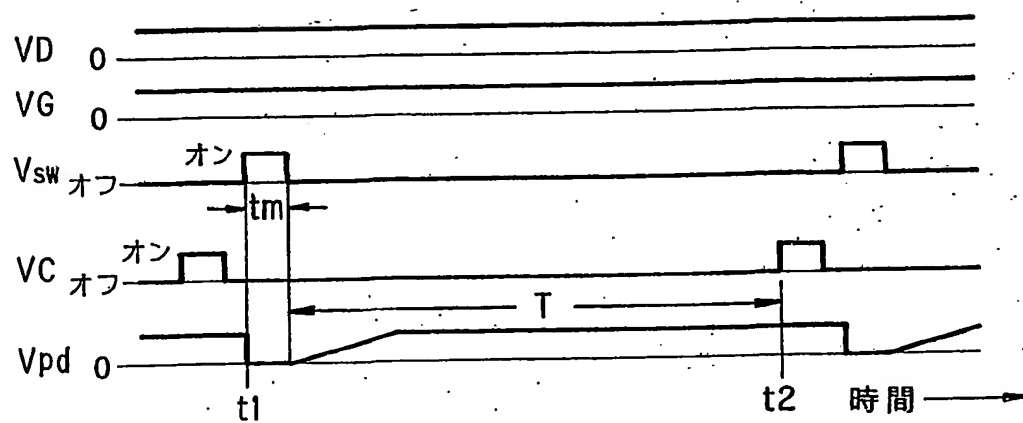
第 3 0 図



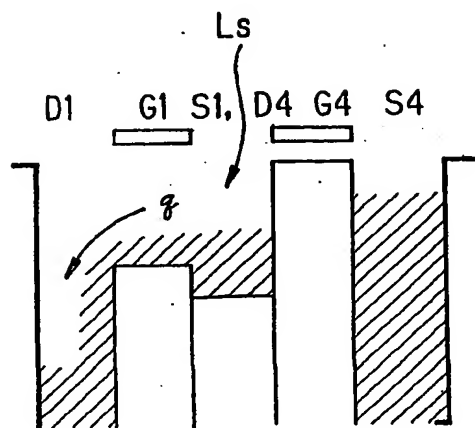
第 3 1 図



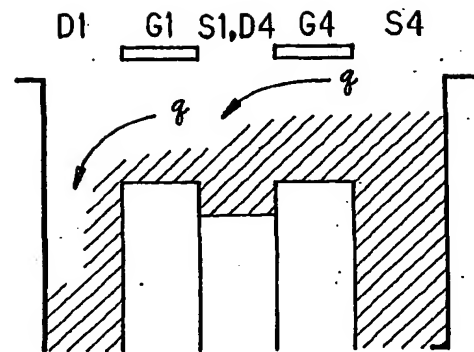
第 3 2 図



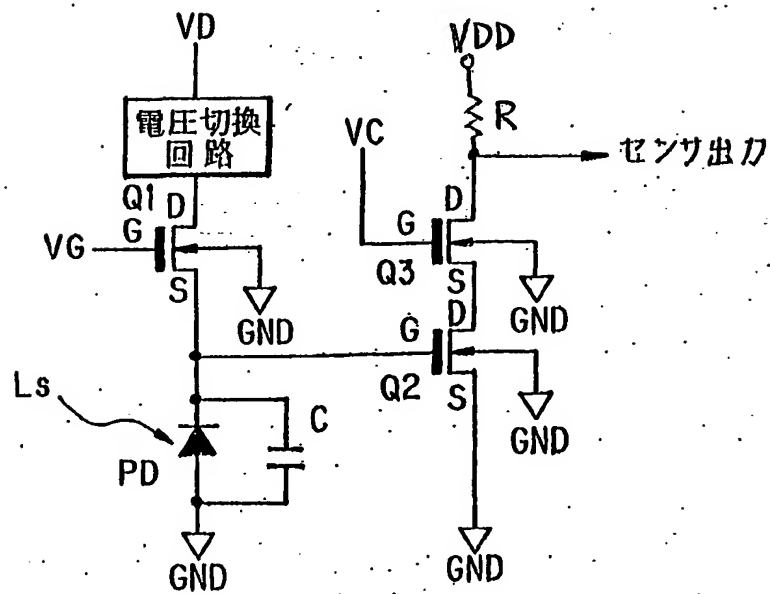
第 3 3 図



第 3 4 図



第 3 5 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/01908

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H04N5/335, H01L27/146, G01J1/44		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H04N5/335, H01L27/146, G01J1/44		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-329616 A (Honda Motor Co., Ltd.), 30 November, 2000 (30.11.00), Full text; Figs. 1 to 6 Full text; Figs. 1 to 6 (Family: none)	6-9, 10 1, 2, 5
X Y	JP 11-264761 A (Honda Motor Co., Ltd.), 28 September, 1999 (28.09.99), Full text; Figs. 1 to 5 Full text; Figs. 1 to 5 (Family: none)	6-8, 10 1
Y A	JP 3-192764 A (Minolta Camera Co., Ltd.), 22 August, 1991 (22.08.91), Full text; Figs. 1 to 7 Full text; Figs. 1 to 7 & US 5241575 A	1, 2, 5 3, 4, 6-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 April, 2002 (16.04.02)		Date of mailing of the international search report 30 April, 2002 (30.04.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-196961 A (Canon Inc.), 14 July, 2000 (14.07.00), Full text; Figs. 1 to 11 (Family: none)	6-8, 10
E, A	JP 2002-77733 A (Minolta Co., Ltd.), 15 March, 2002 (15.03.02), Full text; Figs. 1 to 50 (Family: none)	1-11

国際調査報告

国際出願番号 PCT/JP02/01908

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/335, H01L27/146, G01J1/44

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N5/335, H01L27/146, G01J1/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2000-329616 A (本田技研工業株式会社) 2000. 11. 30 全文, 第1-6図 全文, 第1-6図 (ファミリーなし)	6-9, 10 1, 2, 5
X Y	JP 11-264761 A (本田技研工業株式会社) 1999. 09. 28 全文, 第1-5図 全文, 第1-5図	6-8, 10 1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

16. 04. 02

国際調査報告の発送日

30.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井上 信一

5P

9058

電話番号 03-3581-1101 内線 3541

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	(ファミリーなし)	
Y A	JP 3-192764 A (ミノルタカメラ株式会社) 1991. 08. 22 全文, 第1-7図 全文, 第1-7図 & US 5241575 A	1, 2, 5 3, 4, 6-11
X	JP 2000-196961 A (キャノン株式会社) 2000. 07. 14 全文, 第1-11図 (ファミリーなし)	6-8, 10
E, A	JP 2002-77733 A (ミノルタ株式会社) 2002. 03. 15 全文, 第1-50図 (ファミリーなし)	1-11